ZGAD65S12C 12 位单通道高速模数转换器 (ADC)

1 特性

- 采样率 10Msps 至 65Msps
- 1.8V 单电压供电
- 输出: CMOS
- 输入范围：2.0Vpp
- 信噪比（SNR）：68dB
- 无杂散动态范围（SFDR）：85dB
- 全功率带宽：260MHz
- 全速率运行功耗：167mW
- 单通道采样
- 可选时钟占空比稳定器
- 节能的低功耗模式和休眠模式
- 可配置的 SPI 串行口（支持 1.8V 到 3.3V）
- 封装：QFN40
- 工作温度：-40°C 至 85°C

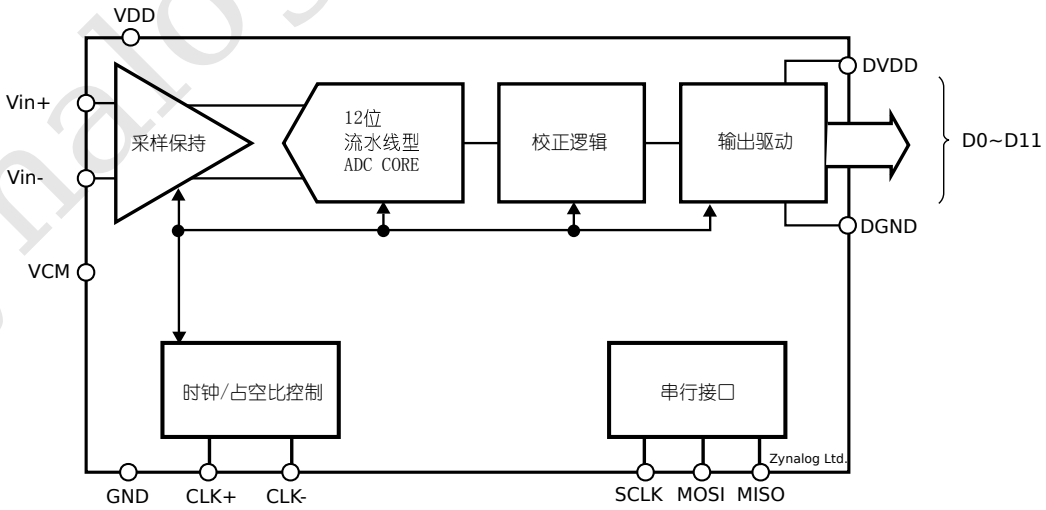
2 应用领域

- 信号链
- 测试测量仪器
- 医疗设备
- 视频设备
- 蜂窝基站
- 激光雷达

3 综述

ZGAD65S12C 是单通道 12 位 65Msps 的模数转换器（ADC）。设计应用于高频率，宽动态范围信号的数字化。系列具有包括 68dB 信噪比（SNR）和 85dB 无杂散动态范围（SFDR）的性能，完美适用于高要求的信号链应用。260MHz 的输入带宽允许 ADC 在高频下采样的同时保持良好性能。延迟只有六个时钟周期。静态特性包括 +/- 0.8LSB 积分非线性误差（INL）(典型值)，+/- 0.25LSB 微分非线性误差（DNL）(典型值)。时钟输入可以用正弦波、PECL、LVDS、TTL 或 CMOS 输入差分驱动。可选时钟占空比稳定器允许在很宽的时钟占空比范围内全速工作的高性能表现。

图 1: 基本功能框架



Zynalog semiconductor

目录

1 特性 1

2 应用领域 1

3 综述 1

4 性能参数 4

5 性能特性 5

6 绝对最大额定值 6

7 引脚配置 7

8 时序图 9

9 应用信息 10

9.1 模拟信号输入 10
9.2 时钟信号 11
9.3 时钟占空比稳定器 11
9.4 CMOS 数字输出 11
9.4.1 数据输出格式 11
9.4.2 随机发生器 11
9.4.3 输出时钟 (CLKOUT) 的相位移动 12
9.4.4 交替位极性 12
9.4.5 数字输出测试模式 13
9.4.6 输出关闭 13
9.5 低功耗模式 13
9.6 休眠模式 13
9.7 软件复位 13

10 SPI 和控制寄存器 14

10.1 SPI 14
10.2 控制寄存器 15

11 封装 17

12 订购信息 17

13 包装信息 18

14 关于微格 19

14.1 公司简介 19
14.2 联系方式 19

插图

1 基本功能框架 1
2 典型性能特性 5
3 线性特性 5
4 正面视图 6mmx6mmQFN40 封装 7
5 数据输出 9
6 输入信号满量程示意图 10
7 输入频率在第一个 Nyquist Zone 的推荐前端电路 10
8 输入频率大于第一个 Nyquist Zone 的推荐前端电路 10
9 使用单端转差分的高速运放的推荐前端电路 (隔离直流信号) 10
10 使用单端转差分的高速运放的推荐前端电路 11
11 模拟时钟信号输入 11
12 LVDS/PECL 时钟信号输入 11
13 相位偏移 12
14 SPI 时序图 14
15 封装信息 17

表格

1 文档版本 3
2 电源性能参数 4
3 转换性能参数 4
4 绝对最大额定值 6
5 推荐工作条件参数表 6
6 抗静电参数 6
7 热阻值 6
8 引脚定义和功能说明 7
9 数据输出格式 12
10 复位寄存器 15
11 掉电寄存器 15
12 时序寄存器 15
13 输出模式寄存器 16
14 数字信号格式寄存器 16
15 ADC 系列产品信息 17

Zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

表 1: 文档版本

版本号	说明
2.02	更新 OFB, CLKB 的时序图。
2.03	修正 VDD 的一个描述错误。
2.04	更新应用设计。
2.05	修正一个引脚错误。
2.06	修正频谱图频率与描述不符的错误。

zynalog semiconductor

4 性能参数

表 2: 电源性能参数

标志	说明	最小	典型	最大	单位
电源					
VDD	模拟电源输入电压	1.7	1.8	1.9	V
DVDD	数字电源输入电压	1.7	1.8	1.9	V
I_VDD	模拟电源输入电流		86	88	mA
I_DVDD	数字电源输入电流		6.7		mA
功耗					
Power	最大采样频率运行功耗		167		mW
P_lowpower	低功耗模式		80.6		mW
P_sleep	睡眠模式		0.65		mW

表 3: 转换性能参数

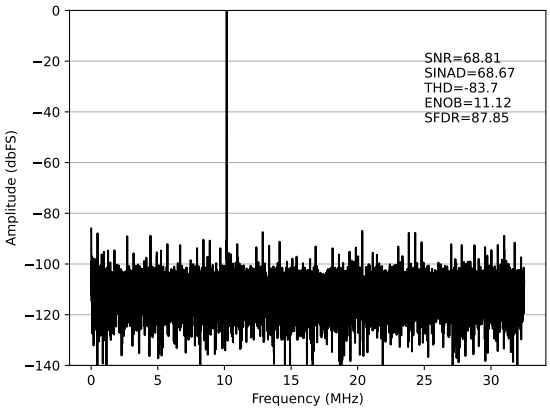
标志	说明	最小	典型	最大	单位
INL	积分非线性	-2	+/-0.8	+2	LSB
DNL	微分非线性	-0.6	+/- 0.25	+0.6	LSB
Offset Error	偏置误差	-13	+/-5	+13	mV
Gain Error	增益误差	-4	+/-1	2.2	%FS
SNR	信噪比		68		dB
SFDR	无杂散动态范围		85		dB

zynalog semiconductor

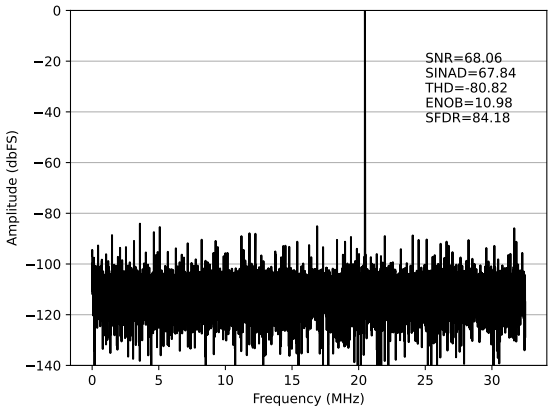
微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

5 性能特性

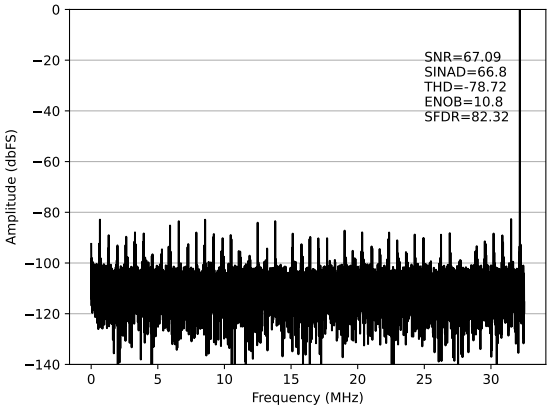
频谱特性，测试条件为 65MHz 采样率，采样点 32768 个。



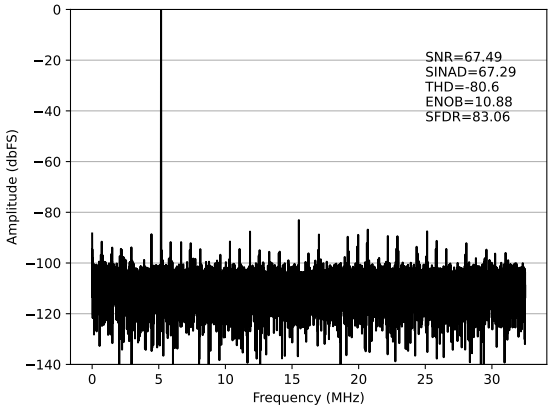
(a) 输入信号频率 = 10MHz



(b) 输入信号频率 = 20MHz

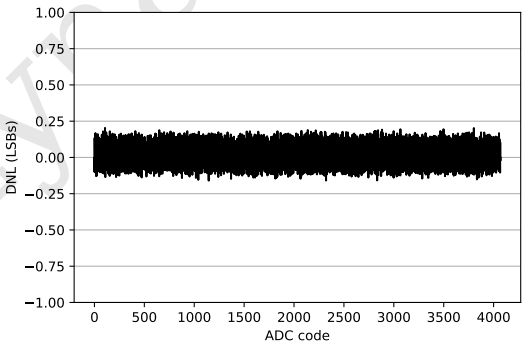


(c) 输入信号频率 = 32MHz

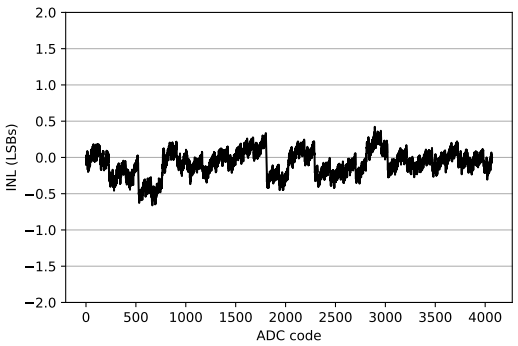


(d) 输入信号频率 = 70MHz

图 2: 典型性能特性



(a) DNL



(b) INL

图 3: 线性特性

Zynalog

6 绝对最大额定值

表 4: 绝对最大额定值

标志	说明	范围	单位
VDD,DVDD	最大输入电压范围	-0.3 至 2	V
Analog Vin	最大输入模拟电压范围	-0.3 至 VDD+0.2	V
CLK,SENSE	最大输入模拟电压范围	-0.3 至 VDD+0.2	V
SPI	SPI/GPIO 最大数字电压范围	-0.3 至 3.9	V
Data Output	CMOS 输出最大数字电压范围	-0.3 至 DVDD+0.2	V
WORKING TEMP	工作温度	-40 至 85	°C
STORAGE TEMP	储存温度	-65 至 150	°C
JUNCTION TEMP	工作结温	150	°C
SOLDERING CONDITIONS	焊接条件	JEDEC J-STD-020	

产品在超过上表中所列极限参数的条件下使用，会给产品带来不可逆转的永久性损坏。上表所列举的只是绝对最大额定值，并不能以这些条件或者在任何其它超出本产品数据手册所推荐的规格条件下，推断产品是否能正常工作。长时间在绝对最大额定值条件下工作，会对产品的可靠性带来影响。

表 5: 推荐工作条件参数表

参数	最小值	最大值	单位
模拟电源输入电压，VDD	1.7	1.9	V
数字电源输入电压，DVDD	1.7	1.9	V
工作环境温度，T_A	-40	85	°C

表 6: 抗静电参数

参数	描述	值	单位
HBM	人体模型	±2000	V
CDM	充电设备模型	±500	V

- **ESD 警告**



ESD（静电放电）敏感产品

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量 ESD 时，产品可能会损坏。因此，应当采取适当的 ESD 防范措施，以避免器件性能下降或功能丧失。

- **热阻**

产品的散热性能和 PCB 电路板设计以及工作环境直接相关。用户在使用产品时应注意 PCB 电路板的散热设计。θJA 针对最差条件，即器件焊接在 4 层 JEDEC 标准电路板上以实现表贴封装。

表 7: 热阻值

封装类型	θ_{JA}	单位
QFN40_6*6	32	°C/W

Zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

7 引脚配置

图 4: 正面视图
6mmx6mmQFN40 封装

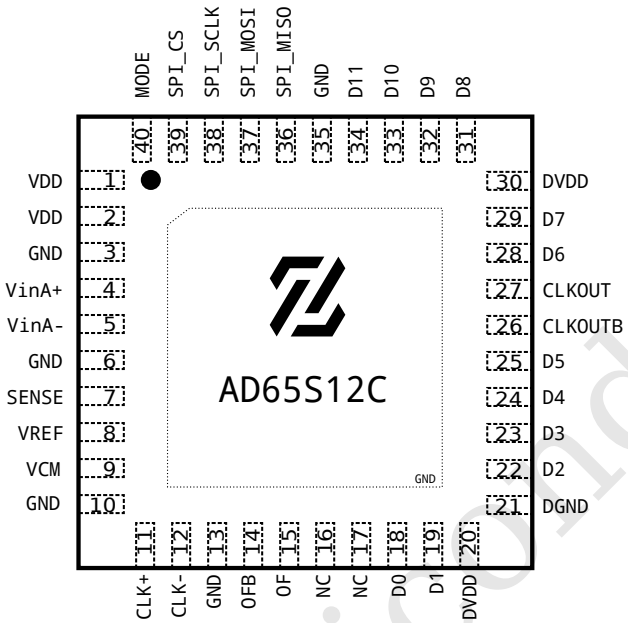


表 8: 引脚定义和功能说明

引脚号	引脚名称	类型	说明
电源			
1,2	VDD	Supply	1.8V 模拟电源。用 0.1µF 陶瓷电容器旁路到地。引脚 1,2 可以共用一个旁路电容。
3,6,10,13,35	GND	Ground	电源地。背面裸露焊盘必须焊接到 PCB 的地上。
20, 30	DVDD	Supply	1.8V 数字输出驱动的电源。使用单独的 0.1µF 陶瓷电容器将每个引脚旁路到地。
21	DGND	Ground	数字输出驱动的电源地。
模拟信号			
4	Vin+	Input	差分模拟输入正端。
5	Vin-	Input	差分模拟输入负端。
7	SENSE	Input	外部基准电压输入；连接到 VDD 可选择内部基准, ±1V 输入范围。连接 1.2V 和 1.3V 之间的外部基准, 可选择 ±0.8*VSENSE 的输入范围。
8	VREF	Output	参考电压输出。使用 2.2µF 陶瓷电容器旁路接地。标称 1.25V。
9	VCM	Output	共模偏置输出。标称等于 0.435*VDD。VCM 应该用于设置模拟输入的共模偏置。使用 0.1µF 陶瓷电容器旁路接地。
11	CLK+	Input	时钟输入。转换在上升沿开始。
12	CLK-	Input	时钟输入。转换在下降沿开始。
SPI 信号			

见下页...

Zynalog Semiconductor

... 接上页

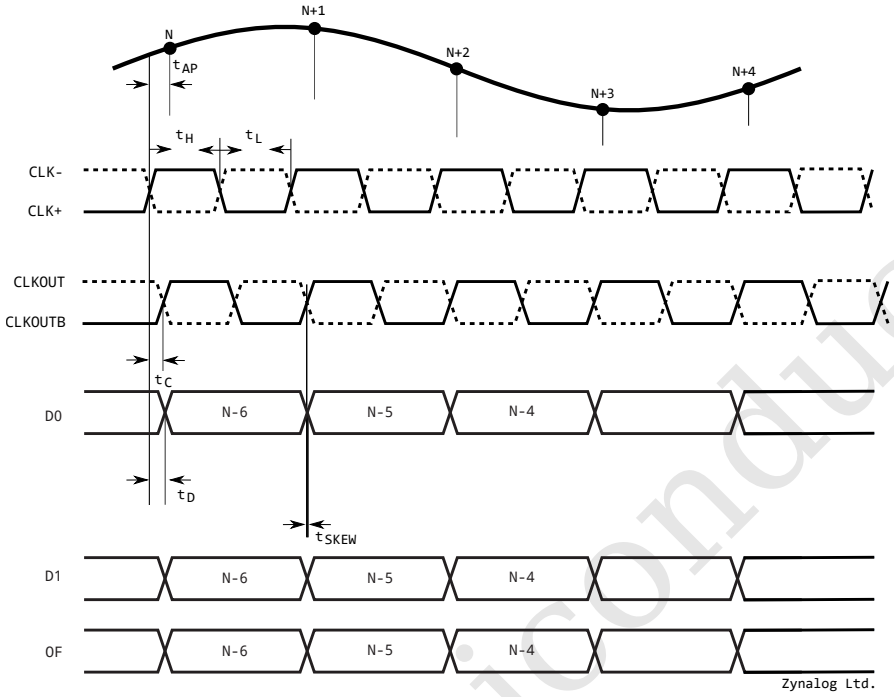
引脚号	引脚名称	类型	说明
40	MODE	Input	串行接口并行模式选择引脚。 当接地时启用串行接口 SPI 模式，其中 SPI_CS、SPI_SCLK、SPI_MISO、SPI_MOSI 成为控制运行模式的串行接口。 当连接到 VDD 时启用并行 GPIO 模式，其中 SPI_CS、SPI_SCLK、SPI_MOSI 成为一组简化操作模式的并行逻辑输入控制信号。 MODE 应直接连接到 GND 或 VDD，而不是由逻辑信号驱动。
39	SPI_CS	Input	在串行接口模式 (MODE=0) 下为 SPI 的 CS 端口。在并行模式 (MODE=VDD) 下，以 GPIO 方式控制时钟占空比稳定器: SPI_CS=0 (GND) 时，时钟占空比稳定器关闭; SPI_CS=1 (逻辑电压范围 1.8V 到 3.3V) 时，时钟占空比稳定器开启。
38	SPI_SCLK	Input	在串行接口模式 (MODE=0) 下为 SPI 的 SCLK 端口。在并行模式 (MODE=VDD) 下，以 GPIO 方式控制休眠模式: SPI_SCLK=0 (GND) 时，工作在普通模式; SPI_SCLK=1 (逻辑电压范围 1.8V 到 3.3V) 时, 进入休眠模式 (AC Power down)。
37	SPI_MOSI	Input	在串行接口模式 (MODE=0) 下为 SPI 的 MOSI 端口。
36	SPI_MISO	Output	在串行接口模式 (MODE=0) 下为 SPI 的 MISO 端口。漏极开路输出, 需要从 SPI 读回数据时，需上拉一个 2K 的电阻至 SPI 电源 (1.8V 到 3.3V)。在并行模式下无作用。
数字信号			
14/15	OFB/OF	Output	上溢/下溢数字 CMOS 输出。当发生上溢或下溢时 OF 为低电平, OFB 为高电平。
26/27	CLKOUTB/CLKOUT	Output	数据输出的 CMOS 时钟。CLKOUTB 与 CLKOUT 反相。
18...34	D0-D11	Output	CMOS 数字输出，D11 为 MSB 位。

Zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

8 时序图

图 5：数据输出



标志	说明*	最小	典型	最大	单位
t_{AP}	时钟输入和数据采集的延迟 †		0.2		ns
t_H	时钟输入高保持时间	7.6	8		ns
t_L	时钟输入低保持时间	7.6	8		ns
t_C	时钟输入和时钟输出的延迟	1.3	1.6	2	ns
t_D	时钟输入和数据输出的延迟	1.7	2	2.3	ns
t_{SKEW}	时钟输出和数据输出的差值 ($t_C - t_D$)	0.3	0.4	0.55	ns

*时序延迟参数测试条件 VDD=1.8V, DVDD=1.8V, f_S=65MHz

†数据位延迟 6 个周期

zynalog semiconductor

9 应用信息

9.1 模拟信号输入

ZGAD65S12C 模拟信号输入端内部是差分 CMOS 采样保持电路，模拟信号输入必须依赖由 VCM 输出引脚设置的共模电压进行差分驱动，VCM 电压的标称值为 0.435*VDD。输入差分电压应在 2.0V 之内。输入之间应该有 180° 的相位差。如果可能，模拟输入端应该有一个 RC 低通滤波器。该低通滤波器将驱动电路与 ADC 采样保持开关隔离，并抑制驱动电路的宽带噪声。图7 显示了输入 RC 滤波器的示例。应根据应用的特定输入频率选择 RC 元件值。在较高的输入频率下，使用传输线巴伦变压器 (图7和8) 具有更好的平衡性，从而降低 ADC 失真。使用内部基准电压时，将 SENSE 引脚上拉至 VDD，此时输入信号的范围为 ±1V。使用外部基准电压时，将 SENSE 引脚拉至 1.2V 到 1.3V 之间的基准电压，此时输入信号的范围为 ±0.8V*SENSE。

图 6: 输入信号满量程示意图

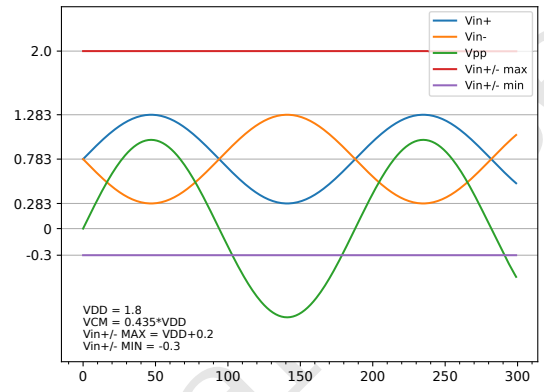


图 7: 输入频率在第一个 Nyquist Zone 的推荐前端电路

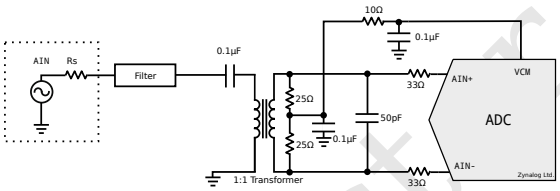


图 8: 输入频率大于第一个 Nyquist Zone 的推荐前端电路

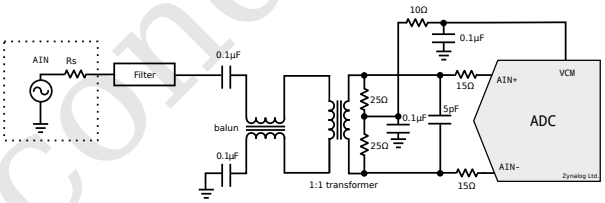
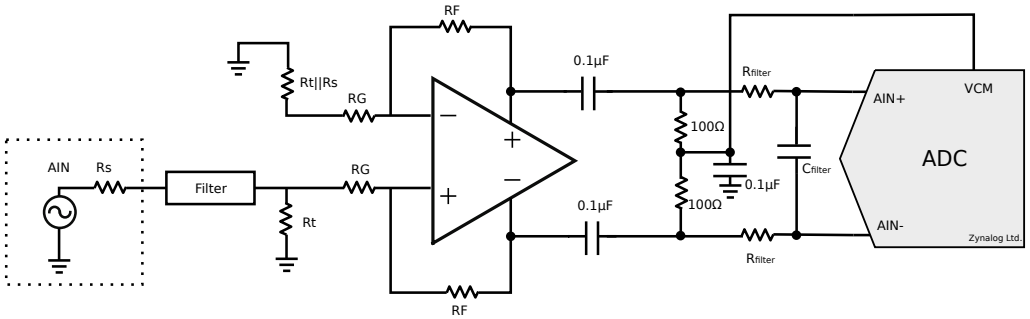


图9和图10显示了使用单端转差分高速运放的前端电路设计。其中对 Rt 和 Rt||Rs 电阻的选择对应于信号源的阻抗匹配；选择合适的高带宽的运放对整个系统有巨大影响，特别是信号放大带来的谐波失真；Rfilter 和 Cfilter 构造一个 charge bucket filter，Rfilter 和 Cfilter 的值应根据输入信号的频率进行选择，一般 Rfilter 不超过 50Ω，Cfilter 不超过 50pF。

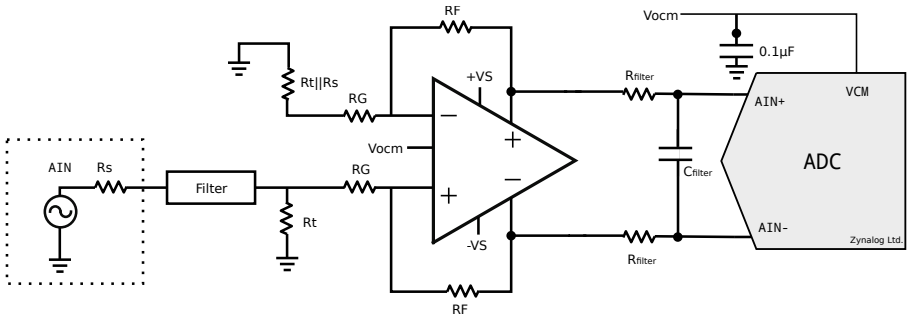
对于图10中的应用，需要注意的是，大部分运放都需要提供正 VS 和负 VS，以满足共模电压 VCM(0.435*VDD) 的标称值。

图 9: 使用单端转差分的高速运放的推荐前端电路 (隔离直流信号)



微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

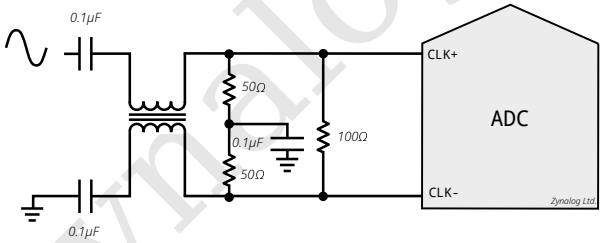
图 10: 使用单端转差分的高速运放的推荐前端电路



9.2 时钟信号

采样时钟输入的信号质量会强烈影响 ADC 的噪声性能。时钟信号应被视为模拟信号, 不要将它们放置到电路板上的数字信号旁边。采样时钟输入通过 10k 等效电阻在 ADC 内部偏置为 1.2V。如果驱动器的共模电压在 1.1V 到 1.5V 之间, 则可以直接驱动时钟输入, 否则需要通过变压器或耦合电容 (图11和 12)。输入信号的最大 (峰值) 电压不应超过 VDD+0.1V 或低于–0.1V。建议时钟信号的抖动应小于 160fs 以达到转换器的最佳性能。

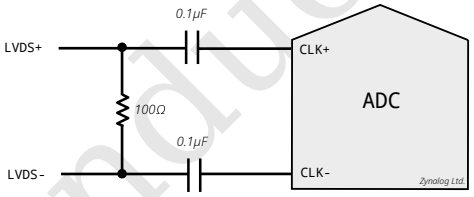
图 11: 模拟时钟信号输入



9.4.1 数据输出格式

默认情况下，输出数据格式为偏移二进制格式 (Offset Binary Mode)，可以通过输出模式寄存器 (表14) 来选择二进制补码格式（Twos Complement Mode)。表9 显示了模拟输入电压、数字数据输出位和溢出位之间的关系。

图 12: LVDS/PECL 时钟信号输入



9.3 时钟占空比稳定器

为了获得良好的性能， 采样时钟信号应具有 50% (±5%) 的占空比。如果启用可选的时钟占空比稳定器 (Duty Cycle Stabilizer, DCS) 电路, 时钟占空比可以在 30% 到 70% 之间变化, 占空比稳定器输出将保持恒定的 50% 内部占空比。占空比稳定器通过 SPI 时序寄存器 (见表12) 或并行模式下的 SPI_CS 启用。对于需要快速更改采样率的应用, 可以禁用时钟占空比稳定器。在这种情况下, 应注意使时钟具有 50% (± 5%) 的占空比。

9.4 CMOS 数字输出

带有输出缓冲器的标准 CMOS 输出, 每个缓冲器由 DVDD 和 DGND 供电, 与 ADC 供电和地隔离。与所有高速/高分辨率 ADC 一样, 数字输出负载会影响性能，数字输出的容性负载应保持尽可能小, 以避免数字输出与其他电路之间可能的相互干扰。

9.4.2 随机发生器

ADC 数字输出的干扰有时是不可避免的。数字干扰可能来自电容或电感耦合或通过接地平面耦合。即使很小的耦合因子也会在 ADC 输出频谱中产生不需要的音。通过在数字信号输出之前将其随机化, 可以将这些不需要的音随机化, 从而降低不需要的音幅度。ADC 内部随机发生器可以通过数字信号格式寄

Zynalog semiconductor

表 9: 数据输出格式

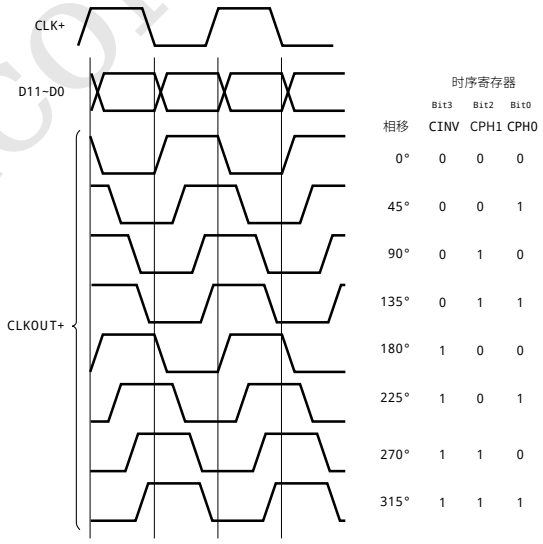
输入电压 (Vin+)-(Vin-)	OF	Offset Binary Mode D11 - D0	Twos Complement Mode D11 - D0
>1.0 V	1	1111 1111 1111	0111 1111 1111
+1.0 V	0	1111 1111 1111	0111 1111 1111
+0.9995117V	0	1111 1111 1110	0111 1111 1110
+0.0009765V	0	1000 0000 0010	0000 0000 0010
+0.0004882V	0	1000 0000 0001	0000 0000 0001
0.000000V	0	1000 0000 0000	0000 0000 0000
–0.0004882V	0	0111 1111 1111	1111 1111 1111
–0.0009765V	0	0111 1111 1110	1111 1111 1110
-0.9995117V	0	0000 0000 0001	1000 0000 0001
-1.0V	0	0000 0000 0000	1000 0000 0000
<-1.0V	1	0000 0000 0000	1000 0000 0000

存器 (表14)bit1 启用。启用后，通过在 D0 位和所有其他数据位之间应用” 异或逻辑” 运算来随机化数字输出。在数字信号的接收端，比如 FPGA 内部，解码则应用同样操作，D0 和所有其他位之间再次” 异或逻辑” 运算。公式如下：

- 编码：$\dot{D1} = D1 \bigoplus D0; \dot{D2} = D2 \bigoplus D0; \ldots$
- 解码：$D1 = \dot{D1} \bigoplus D0; D2 = \dot{D2} \bigoplus D0; \ldots$

D0、OF 和 CLKOUT 输出不受影响。

图 13: 相位偏移



9.4.3 输出时钟 (CLKOUT) 的相位移动

为了在锁存输出数据时有足够的设置和保持时间，可能需要将 CLKOUT 信号相对于数据输出位进行相移。大多数 FPGA 都带有这个功能，通常在 FPGA 内部是调整时序的最佳位置。或者，也可以通过 ADC 时序寄存器 (表12) 对 CLKOUT 信号进行相移。输出时钟可以偏移 0°、45°、90° 或 135°。要使用相移功能，必须打开时钟占空比稳定器。另外还可以通过时序寄存器反转 CLKOUT 的极性，与相移无关。这两个功能的组合可实现 45° 至 315° 的相移 (图13)。

9.4.4 交替位极性

针对非常小的模拟输入信号，因为高位一直保持不变，可以启用交替位极性模式，来减少可能出现的数字干扰。启用此模式后，所有奇数位 (D1、D3、D5、...) 在输出之前被反转。偶数位 (D0、D2、D4、...)、OF 和 CLKOUT 不受影响。数字输出在接收端，如 FPGA 内部，通过反转奇数位 (D1、D3、D5、...) 解码。交替位极性模式独立于随机发生器，可以同时开启这两种功能，也可以两种功能都不开启。交替位极性模式通过数字信号格式寄存器 (表14)bit4 启用。

Zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

9.4.5 数字输出测试模式

为了对 ADC 的数字接口进行在线测试, 数字输出测试模式可以强制 ADC 数据输出 (OF、D11 到 D0) 为以下值:

- 全 1: 所有输出均为 1
- 全 0: 所有输出均为 0
- 交替: 交替采样时输出从全 1 变为全 0
- 棋盘格: 交替采样的输出从 010101010101 变为 101010101010。

数字输出测试模式由数字信号格式寄存器 (表14) 启用。在测试模式下, 其他格式化模式进入无效状态, 如二进制补码、随机发生器。

9.4.6 输出关闭

通过设置输出模式寄存器 (表13)bit0 可以关闭包含 OF 和 CLKOUT 的所有数字输出。

9.5 低功耗模式

ADC 允许运行在低功耗模式下来节能。在低功耗模式下, ADC 的内部核心电路会关掉, 外围电路保持激活状态, 此时功耗约为 80.6mW。低功耗模式由掉电寄存器（表11）bit2 来控制。从低功耗模式恢复, 如果外部采样时钟在低功耗模式期间持续输入, 则需要至少 100 个时钟周期, 否则和休眠模式恢复时间相等。

9.6 休眠模式

在休眠模式下，ADC 的整个电路会被关断，包括核心电路和外围电路。如果外部采样时钟也停止输入，则功耗低于 0.65mW，外部采样时钟保持输入，则功耗在 0.65mW 左右。休眠模式由掉电寄存器（表11）bit3 来控制。从休眠模式恢复，唤醒时间约等于 2500* 时钟周期 +0.1 毫秒。

9.7 软件复位

如果使用 SPI 模式, 则应在初始上电并稳定后尽快对控制寄存器进行配置。第一个 SPI 命令必须是软件复位, 它将所有寄存器数据位复位为逻辑 0。要执行软件复位, 必须在复位寄存器 (表10) bit7 中写入 1。复位完成后,bit7 自动设置回 0。该复位寄存器是只写的。

zynalog semiconductor

10 SPI 和控制寄存器

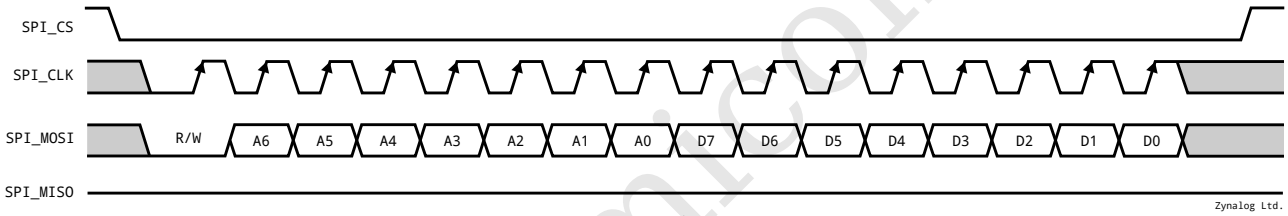
10.1 SPI

在串行接口模式 (MODE=0) 下，数据以 16 位串行位写入寄存器。也可以从寄存器读回数据以验证其内容。当 SPI_CS 被拉低时串行数据传输开始。SPI_MOSI 引脚上的数据在 SPI_CLK 的前 16 个上升沿被锁存。前 16 个之后的任何 SPI_CLK 上升沿都将被忽略。当 SPI_CS 再次拉高时，数据传输结束。

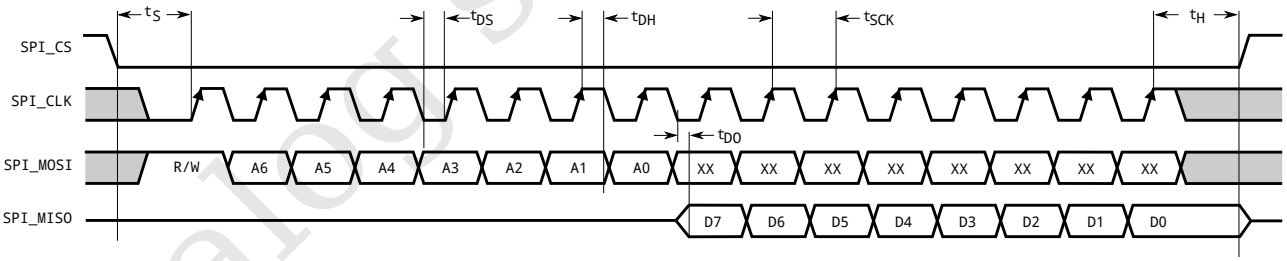
16 位输入的第一位是 R/W 位。接下来的七位是寄存器的地址 (A6:A0)，后八位是寄存器数据 (D7:D0)。如果 R/W 位为低，串行数据 (D7:D0) 将写入由地址位 (A6:A0) 设置的寄存器。如果 R/W 位为高，由地址位 (A6:A0) 设置的寄存器中的数据将在 SPI_MISO 引脚上被读回 (参见图 14)。在回读命令期间，寄存器不会更新并且 SPI_MOSI 上的数据会被忽略。

SPI_MISO 引脚是一个开漏输出，如果通过 SPI_MISO 回读寄存器数据，则需要外接 2KΩ 上拉电阻。如果只写串行数据不需要回读，那么 SPI_MISO 可以悬空，不需要上拉电阻。

图 14: SPI 时序图



写入时序



读回时序

标志	说明‡	最小	典型	最大	单位
t_S	CS 拉低到时钟 CLK 的建立时间	5			ns
t_{DS}	数据建立时间	5			ns
t_{DH}	数据保持时间	5			ns
t_{DO}	时钟 CLK 到数据输出的延迟			125	ns
t_{SCK}	时钟周期 (写入)	40			ns
	时钟周期 (读回)	250			ns
t_H	时钟 CLK 到 CS 拉高的保持时间	5			ns

‡参数测试条件: SPI_MISO 上拉电阻 2KΩ

Zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

10.2 控制寄存器

表 10: 复位寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x00	RESET	X	X	X	X	X	X	X	0x00	只写

bit7	RESET 软件复位位。写入 0 禁用; 写入 1= 软件复位。复位完成后, 该位自动设置回 0。
bit6-0	未使用。

表 11: 掉电寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x01	X	X	X	X	SLEEP	LP	X	0	0x00	读写

bit7:4	未使用。读回为 0。
bit3	SLEEP, 休眠位, 0= 正常工作模式; 1= 关断整个芯片。
bit2	Low Power, 低功耗位, 0= 正常工作模式; 1= 均为低功耗模式。
bit1	未使用。读回为 0。
bit0	必须写入 0。

表 12: 时序寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x02	X	X	X	X	CINV	CPH1	CPH0	DCS	0x00	读写

bit7:4	未使用。读回为 0。
bit3	CLKOUT inverse, 输出时钟反转位。 0= 正常 CLKOUT 极性 (如图5所示); 1= 反向 CLKOUT 极性。
bit2:1	CLKOUT PHASE1:CLKOUT PHASE0 输出时钟相位延迟位 00 = 无 CLKOUT 延迟 (如图5所示) 01 = CLKOUT 延迟 45°(时钟周期 • 1/8) 10 = CLKOUT 延迟 90°(时钟周期 • 1/4) 11 = CLKOUT 延迟 135°(时钟周期 • 3/8) 注意: 如果使用 CLKOUT 相位延迟功能, 则还**必须打开**时钟占空比稳定器。
bit0	Duty Cycle Stabilizer, 时钟占空比稳定器位。 0 = 时钟占空比稳定器关闭 1 = 时钟占空比稳定器开启

Zynalog semiconductor

表 13: 输出模式寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x03	X	X	X	X	X	X	X	OFF	0x00	读写

bit7:1	未使用。读回为 0。
bit0	OUTPUT OFF, 数字输出控制位 0 = 启用数字输出 1 = 数字输出被禁用 (高阻抗)

表 14: 数字信号格式寄存器

地址 (HEX)	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	初始值	备注
0x04	TEST2	TEST1	TEST0	ABP	0	TON	RAND	2SC	0x00	读写

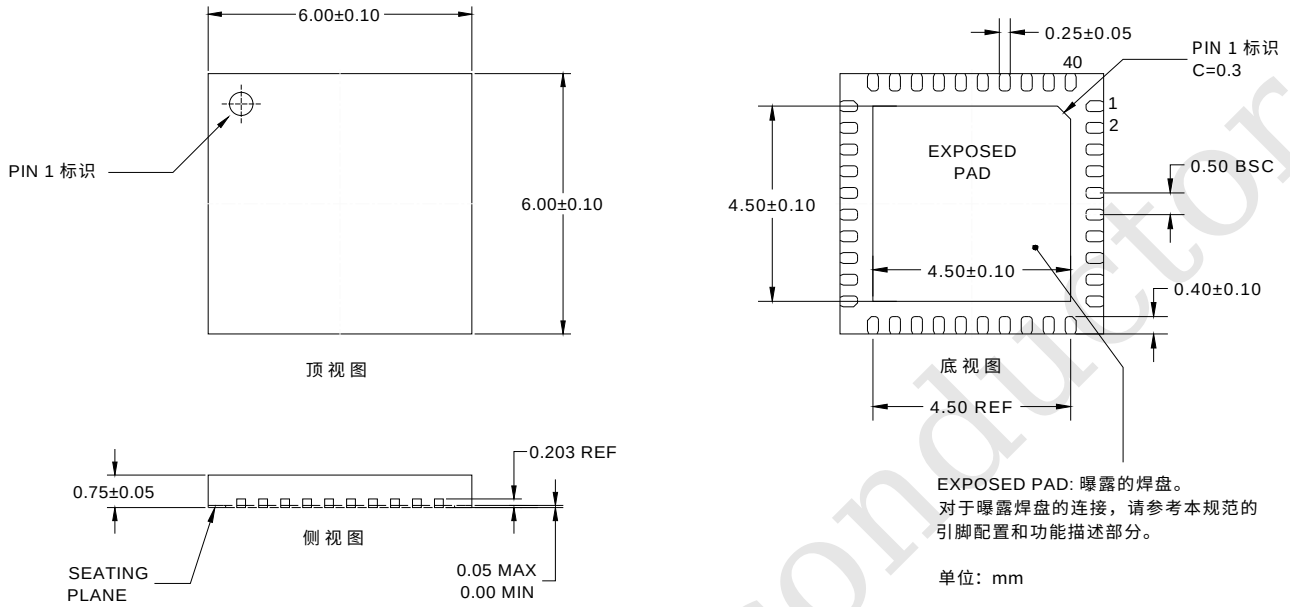
bit7:5	OUTTEST2:OUTTEST0 数字输出测试模式位 000 = 所有数字输出 = 0 001 = 所有数字输出 = 1 010 = 交替输出模式。OF, D11-D0 在 000000000000 和 111111111111 之间交替 100 = 棋盘格输出模式。OF, D11-D0 在 101010101010 和 010101010101 之间交替 注 1: 不使用其他位组合。
bit4	ABP 交替位极性模式控制位 0 = 交替位极性模式关闭 1 = 交替位极性模式开启。奇数位 D1,D3,D5...D11 极性反转
bit3	必须设置为 0
bit2	TEST ON, 启用数字输出测试模式 (输出模式由位 7:5 设置) 0 = 正常模式 1 = 启用数字输出测试模式
bit1	RAND 数据输出随机发生器模式控制位 0 = 随机发生器模式关闭 1 = 随机发生器模式开启
bit0	Twos Complement Mode 补码模式控制位 0 = 偏移二进制数据格式 (Offset Binary Output) 1 = 二进制补码数据格式 (Twos Complement Mode)

Zynalog Semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

11 封装

图 15: 封装信息



12 订购信息

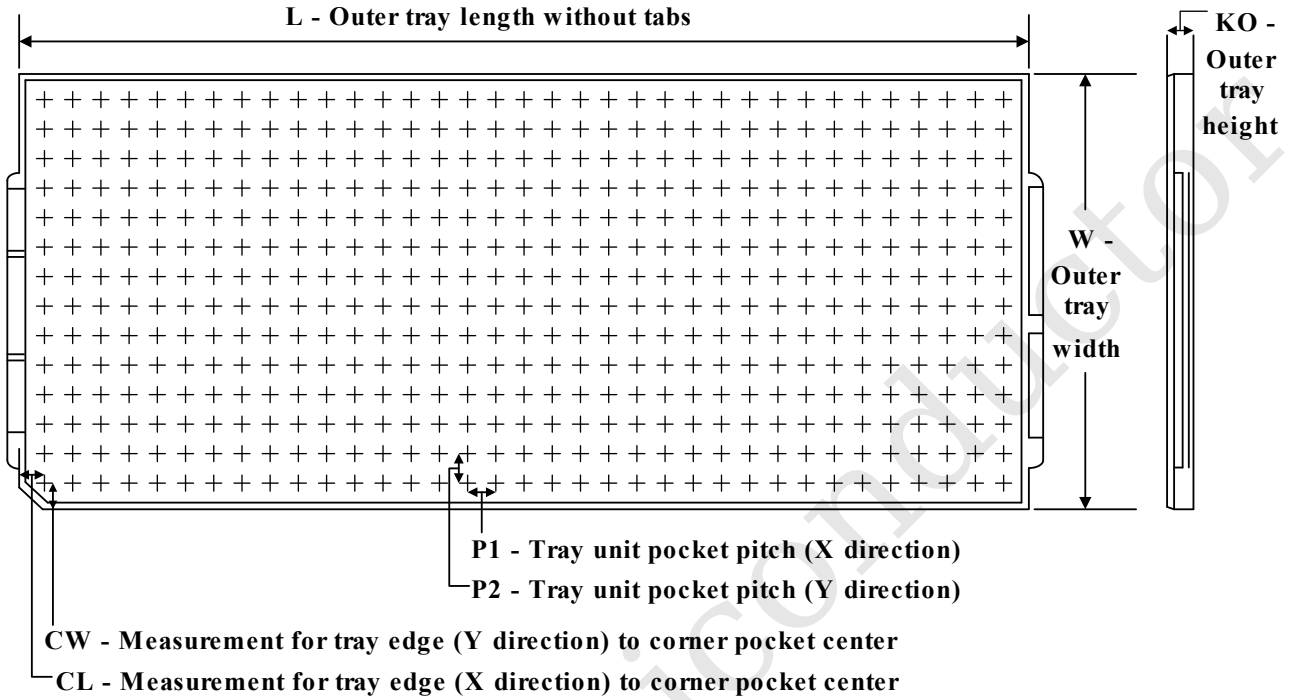
表 15: ADC 系列产品信息

型号	通道	位数	采样率	封装	数字接口
ZGAD250D12	双通道	12 位	250M	QFN64	DDR LVDS
ZGAD250D14	双通道	14 位	250M	QFN64	DDR LVDS
ZGAD250S12	单通道	12 位	250M	QFN40	DDR LVDS
ZGAD250S14	单通道	14 位	250M	QFN40	DDR LVDS
ZGAD125D12	双通道	12 位	125M	QFN64	DDR LVDS
ZGAD125D14	双通道	14 位	125M	QFN64	DDR LVDS
ZGAD125D12C	双通道	12 位	125M	QFN64	CMOS
ZGAD125D14C	双通道	14 位	125M	QFN64	CMOS
ZGAD125S12	单通道	12 位	125M	QFN40	DDR LVDS
ZGAD125S14	单通道	14 位	125M	QFN40	DDR LVDS
ZGAD125S12C	单通道	12 位	125M	QFN40	CMOS
ZGAD125S14C	单通道	14 位	125M	QFN40	CMOS
ZGAD65D12C	双通道	12 位	65M	QFN64	CMOS
ZGAD65D14C	双通道	14 位	65M	QFN64	CMOS
ZGAD65S12C	单通道	12 位	65M	QFN40	CMOS
ZGAD65S14C	单通道	14 位	65M	QFN40	CMOS

Zynalog semiconductor

13 包装信息

TRAY



Chamfer on Tray corner indicates Pin 1 orientation of packed units.

*All dimensions are nominal

Device	Package Type	Pins	SPQ	Unit array matrix	Max temperature (°C)	L (mm)	W (mm)	K0 (µm)	P1 (mm)	P2 (mm)	CL (mm)	CW (mm)
ZGAD65S12C	QFN	40	490	14 x 35	150	315	135.9	7620	8.8	9.2	7.9	8.15

zynalog semiconductor

微格半导体 (Zynalog Semiconductor Co.,Ltd.) 版权所有

14 关于徵格

14.1 公司简介

徵格半导体【Zynalog Semiconductor Co.,Ltd.】是国内高性能模拟芯片研发设计的高科技企业。公司拥有国际顶尖的模拟芯片设计团队，先进的测试设备和完善的供应链体系，遵循严苛的品控标准，由公司全正向设计研发的三十多款高速高精度模数转换芯片（ADC）产品凭借卓越的高性能及高可靠性，已被国内多家头部知名科技企业所选用，完美应用于旗下各款高新产品之中。

徵格半导体秉持“技术自主创新，引领行业未来”的理念，以客户需求为导向，聚焦技术创新，坚持核心技术的长期研发投入，公司已在高性能模拟芯片领域拥有多项自主知识产权，ADC 多项核心技术指标已达到或超越国际主流同类产品。至此，徵格半导体已然定义和树立起国内高性能 ADC 行业新标杆。

当今中国，数字化和智能化将成为国内领先企业应对未来挑战的必由之路，为此徵格半导体将持续加码在高性能模拟芯片的研发进程，在“高性能芯片国产替代”成为确定性趋势和国家构建产业链供应链稳定安全的今天，我们将以客户技术变革和产业升级为指引，满足客户高科技产品应用的设计多样化及复杂化需求，灵活匹配客户产品的技术更迭和保障供应链的安全可靠，为客户提供全方位全流程模拟芯片标准解决方案。

徵格半导体将进一步拓展和深耕国内高性能模拟芯片应用端，实现以客户为中心的高速度高质量增长。公司将以前瞻性战略思维及雄厚的研发能力为基础，遵循严苛品控标准和安全可靠的供应链管理体系，与企业用户携手打造共创、共享、共赢的模拟芯片行业新生态。

14.2 联系方式

地址：上海市普陀区丹巴路 98 弄 7 号龙裕财富中心 10 层
地址：苏州市高新区城际路 21 号 2 幢汇融广场 2110 室
地址：杭州市临平区科城街 180 号算力小镇 C 幢 8 层

网站：https://www.zynalog.com
电子邮箱：sales@zynalog.com

Zynalog Semiconductor